

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-295081

(43)Date of publication of application : 21.10.2004

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/14

(21)Application number : 2003-405642

(71)Applicant : CANON INC

(22)Date of filing : 04.12.2003

(72)Inventor : KAWANO FUJIO

KAWASAKI MOTOAKI

IZEKI MASAMI

(30)Priority

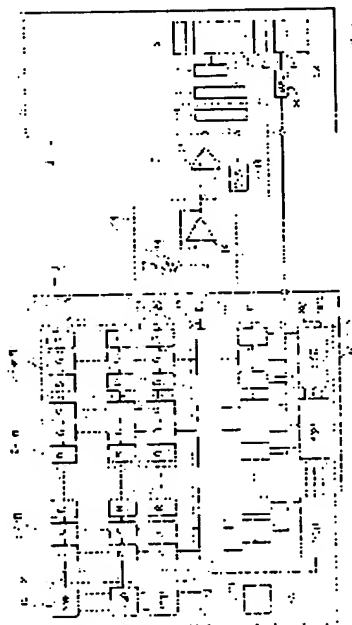
Priority number : 2003061288 Priority date : 07.03.2003 Priority country : JP

(54) DRIVING CIRCUIT, DISPLAY DEVICE USING SAME, AND METHOD OF EVALUATING DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To make an output of a driving circuit accurate, which results from a current signal for use in a display device.

SOLUTION: The driving circuit comprises; a plurality of current signal generation circuits for outputting current signals to a plurality of output parts respectively; a current signal output line to which outputs of the plurality of current signal generation circuits are connected in common; a correction value output circuit for outputting a correction value obtained by evaluating the outputs of the specific current signal generation circuits in accordance with current values outputted through the current signal output line; and a correction circuit for correcting image signals supplied to the current signal generation circuits by the correction value.



LEGAL STATUS

[Date of request for examination] 29.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-295081

(P2004-295081A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int. Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

H

G09G 3/20 611H

G09G 3/20 624B

G09G 3/20 641D

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 12 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2003-405642 (P2003-405642)

(22) 出願日 平成15年12月4日(2003.12.4)

(31) 優先権主張番号 特願2003-61288 (P2003-61288)

(32) 優先日 平成15年3月7日(2003.3.7)

(33) 優先権主張国 日本国(JP)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100096828

弁理士 渡辺 敬介

(74) 代理人 100110870

弁理士 山口 芳広

(72) 発明者 川野 藤雄

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 川崎 素明

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

最終頁に続く

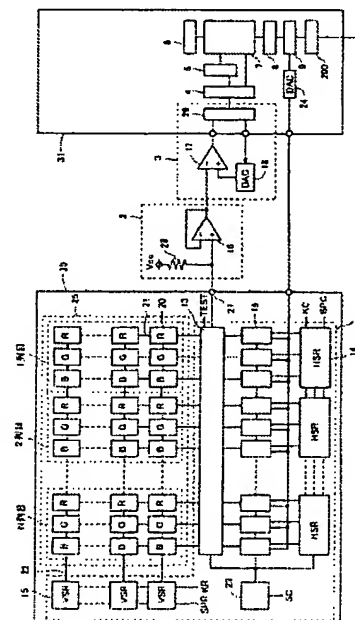
(54) 【発明の名称】 駆動回路及びそれを用いた表示装置、及び駆動回路の評価方法

(57) 【要約】

【課題】 駆動回路の出力を正確にする。

【解決手段】 複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価して得られた補正値を出力する補正値出力回路と、前記電流信号発生回路に供給される映像信号を前記補正値で補正する補正回路を用いて駆動回路を構成する。

【選択図】 図2



(2)

特開2004-295081 (P2004-295081A)

【特許請求の範囲】

【請求項1】

複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、
前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
評価しうる電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回
路と、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
評価し、該評価結果に応じた補正值を出力する補正值出力回路と、
前記電流信号発生回路に供給される映像信号を前記補正值で補正する補正回路と、
を有することを特徴とする駆動回路。

【請求項2】

前記制御回路は、前記特定の電流信号発生回路に所定の信号を供給し、他の前記電流信号
発生回路に前記所定の信号とは異なる信号を共通に供給するものである請求項1に記載の
駆動回路。

【請求項3】

前記異なる信号が、該異なる信号を供給された前記他の電流信号発生回路がそれぞれ出力
する電流信号の電流値が、前記所定の信号を供給された前記特定の電流信号発生回路が出
力する電流信号の電流値に比べて十分に小さくなる信号である請求項2に記載の駆動回路
。

【請求項4】

複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、
前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
評価して得られた補正值を出力する補正值出力回路と、
前記電流信号発生回路に供給される映像信号を前記補正值で補正する補正回路と、
を有することを特徴とする駆動回路。

【請求項5】

前記電流信号出力線と前記複数の電流信号発生回路との間が同時に接続されている状態を
実現するスイッチをさらに有する請求項1乃至4のいずれかに記載の駆動回路。

【請求項6】

複数の前記電流信号発生回路のそれぞれと前記電流信号出力線との間の接続関係をそれぞ
れ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御され
るものである請求項1乃至5のいずれかに記載の駆動回路。

【請求項7】

複数の前記電流信号発生回路のそれぞれと複数の前記出力部との間の接続関係をそれぞれ
制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御される
ものである請求項1乃至6のいずれかに記載の駆動回路。

【請求項8】

前記駆動回路は、表示素子を有する表示装置の駆動回路であり、前記表示装置は基板上に
前記表示素子の少なくとも一部を形成したものであり、前記電流信号発生回路と前記電流
信号出力線が前記基板上に形成されている請求項1乃至7のいずれかに記載の駆動回路。

【請求項9】

前記電流信号発生回路は入力信号の値を2乗した値の電流値を有する電流信号を出力する
回路を少なくとも含んでおり、前記補正值出力回路は、前記評価によって得られた特定の
電流信号発生回路の出力評価値と基準値との比の2乗根を演算することによって得た補正
値を出力するものである請求項1乃至8のいずれかに記載の駆動回路。

【請求項10】

前記補正值出力回路は、前記2乗根を演算する演算回路を有しており、該演算は前記出力
評価値と前記基準値との前記比の値に応じて場合分けして行う近似演算である請求項9に

(3)

特開2004-295081(P2004-295081A)

記載の駆動回路。

【請求項11】

請求項1乃至10のいずれかに記載の駆動回路と、該駆動回路の前記複数の出力部とそれぞれ接続される複数のデータ線と、該複数のデータ線のそれぞれと接続される複数の表示素子とを有することを特徴とする表示装置。

【請求項12】

複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路を備えた駆動回路の評価方法であって、

前記複数の電流信号発生回路の出力を共通の電流信号線に接続するステップと、

前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御するステップと、

前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価するステップと、

を有することを特徴とする駆動回路の評価方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流信号を出力する駆動回路に関する。またそれを用いた表示装置に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス(EL)素子を用いたアクティブマトリクス方式の表示装置は、従来の格子状に電極を並べてオン・オフ動作のみで発光を制御していた単純マトリクス方式に比べ、個々の画素を高階調に点灯させることができるため、コントラスト比が大きく、且つ応答速度の高いディスプレイが実現する。

【0003】

EL表示装置は、画素を配置した画像表示部と、外部より入力した映像信号等の信号情報を処理して該画像表示部の各画素に送るための駆動回路とを備え、該駆動回路の中でも、画像表示部と同じ表示パネル内に作り込まれる駆動制御回路は、通常、薄膜トランジスタ(TFT)を用いて構成されている。また、各画素においてEL素子の発光状態を制御するためのアクティブ素子にも、主としてTFTが用いられている。しかしながら、TFTはその特性上、CMOSTランジスタに比べて素子間のばらつきが大きく、近接的にもばらつきに相関性が保証できないため、駆動状態を確実に制御するように回路設計をしなければ、全画素を均一に発光させようとしても輝度むらが発生してしまう。

【0004】

特許文献1には、4つのTFTを用いて画素回路を構成し、複数のゲート線と1本のソース線で制御することにより、EL素子に流れる電流を制御するトランジスタをソースホロワ構成とせずに、該トランジスタのキック電流の影響を抑えて、当該画素回路に記憶される電流値の変動を小さくした画素回路構成が開示されている。

【0005】

特許文献2に開示された回路は、図13に示すように、画素回路内に有機EL素子103に流れる電流を検出する電流検出回路105と、該電流検出回路105の出力電圧とサンプルホールド回路101の出力電圧の差分を増幅して電流制御回路194に入力する誤差増幅回路102を設け、負帰還動作により電流検出回路104の出力電圧とサンプルホールド回路101の出力電圧が等しくなるように構成し、輝度を均一にするように制御するものである。

【0006】

特許文献3には、図14に示すような構成を開示している。画素毎に電流検出回路を設けるのではなく、電源108の供給線毎に電流測定素子110を設け、走査ドライバ11

(4)

特開2004-295081 (P2004-295081A)

1の制御状態に応じてある行の駆動素子の電流を電流測定素子110により測定し、後に記憶手段108に保存し、演算素子107及び外部データドライバ106にて演算後、画像データにフィードバックする構成が開示されている。

【0007】

表示素子としてはEL素子以外にも種々のものが知られている。特許文献4には電子放出素子を電流信号によって駆動する構成が開示されている。

【0008】

【特許文献1】特開2003-66865号公報

【特許文献2】特開2002-91377号公報

【特許文献3】特開2002-278513号公報

【特許文献4】米国特許第6195076号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、駆動回路の出力を評価できる簡便な構成を実現することを課題とする。特に具体的な課題としては、駆動回路の複数の出力部ごとに出力を評価するための測定素子を設けたり、駆動回路の複数の出力部ごとに各出力を取り出すための個々の出力線を設けることなく、駆動回路の出力を評価できる構成を実現することを挙げることができる。

【課題を解決するための手段】

【0010】

本発明の要点は、複数の出力が共通に接続される出力線を用いることで該出力を評価するための回路に導く構成を簡便にしている。しかしながらこの構成には特有の問題が生じる。即ち、この駆動回路が出力する信号が電圧値が制御された信号（電圧信号）であると、複数の互いに異なる出力を共通の出力線に接続すると正確な評価を行うことができないという特有の問題が生じる。これが第1の特有の問題である。そこで、本発明では、出力を評価するための出力線として複数の出力が共通に接続される出力線を用いるとともに、それに伴う上記第1の特有の問題を解決するために、出力として電流信号（即ち電流値が制御された信号）を出力する電流信号発生回路を用いる構成を採用している。またさらに、第2の特有の問題もある。出力を評価するための出力線として複数の出力が共通に接続される出力線を用いるとともに、それに伴う上記第1の特有の問題を解決するために、出力として電流信号（即ち電流値が制御された信号）を出力する電流信号発生回路を用いる構成を採用しても、複数の電流信号発生回路のどれが評価対象の電流信号発生回路かが特定できないという問題（第2の特有の問題）である。そこで本発明では第1の特有の問題を解決した上でさらに問題となる上記第2の特有の問題もあわせて解決するために、電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるように電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路をあわせて用いている。

【0011】

本願にかかわる第1の発明は以下のように構成される。即ち、複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価しうる電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路と、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価し、該評価結果に応じた補正值を出力する補正值出力回路と、前記電流信号発生回路に供給される映像信号を前記補正值で補正する補正回路と、を有する駆動回路、である。

【0012】

ここで、前記制御回路は、前記特定の電流信号発生回路に所定の信号を供給し、他の前

(5)

特開2004-295081 (P2004-295081A)

記電流信号発生回路に前記所定の信号とは異なる信号を共通に供給するものである構成を好適に採用できる。例えば複数の電流信号発生回路のうちの一つの電流信号発生回路である第1の電流信号発生回路を特定の電流信号発生回路として所定の信号を供給し、その他の電流信号発生回路には異なる共通の信号を供給する。その時に得られた結果を第1の結果とする。次に前記第1の電流信号発生回路とは異なる第2の電流信号発生回路を特定の電流信号発生回路として前記所定の信号を供給し、その他の電流信号発生回路には前記共通の信号を供給する。そのときに得られた結果を第2の結果とする。第1の結果と第2の結果を比較することで第1の電流信号発生回路と第2の電流信号発生回路とを比較評価することが可能となる。

【0013】

またここで電流信号発生回路の出力の評価とは、電流信号発生回路の出力の値や他の電流信号発生回路の出力との差異や所定の基準値との差異などを直接もしくは間接的に検知することを言う。

【0014】

また特には、前記制御回路は、前記特定の電流信号発生回路に所定の信号を供給し、他の前記電流信号発生回路に前記所定の信号とは異なる信号を供給するものであり、前記異なる信号が、該異なる信号を供給された前記他の電流信号発生回路がそれぞれ出力する電流信号の電流値が、前記所定の信号を供給された前記特定の電流信号発生回路が出力する電流信号の電流値に比べて十分に小さくなる信号である構成を好適に採用できる。この構成によって評価対象となる特定の電流信号発生回路以外の他の電流信号発生回路の出力を無視することができる。また他の電流信号発生回路の出力を無視できない場合であっても、その出力をバックグラウンドとして処理するための演算が容易になる、及び、もしくは該演算の結果の精度を上げることが可能となる。

【0015】

また前記各発明において、前記電流信号出力線と前記複数の電流信号発生回路との間が同時に接続されている状態を実現するスイッチをさらに有する構成を好適に採用できる。このスイッチは、前記複数の電流信号発生回路のそれぞれに対応して設けられたスイッチからなるスイッチ群である構成を好適に採用できる。電流信号発生回路と電流信号発生回路が出力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発生回路の出力する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、該構成においては、電流信号発生回路の出力の評価を行う必要がないときには、電流信号発生回路と電流信号出力線とを非接続状態にしておくのが望ましい。該非接続状態を実現できるようにスイッチを配することが望ましい。尚、本発明においては、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路を用いる。そのため、このスイッチは個々の電流信号発生回路と電流信号出力線との間の接続関係を個々に制御できるものである必要はない。個々の電流信号発生回路と電流信号線との間に個々のスイッチを設ける場合であっても、それらのスイッチは共通の制御信号で制御することができる。

【0016】

また上記各発明において、複数の前記電流信号発生回路のそれぞれと前記電流信号出力線との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。

【0017】

また上記各発明において、複数の前記電流信号発生回路のそれぞれと複数の前記出力部との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。上述したとおり、電流信号発生回路と電流信号発生回路が出力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発生回路の出力する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、電流信号発生回路の出力を電流信号出力線に導いて評価を行う

(6)

特開2004-295081 (P2004-295081A)

ときには、電流信号発生回路の出力が表示素子側に分流しない構成が望ましい。表示素子が接続されるデータ線と電流信号発生回路の間にスイッチを設けることによって評価すべき電流信号がデータ線側に分流してしまうのを抑制することができる。

【0018】

尚、本発明においては電流信号の出力等の表現を用いているが、これらの表現は特定の方向に電流を流す構成に限定するものではなく、例えば電流信号発生回路が電流信号を出力するという場合、該電流信号となる電流が電流信号発生回路から流れ出す場合や電流信号発生回路に流れ込む場合のいずれも含む。

【0019】

また上記各発明において、この駆動回路は、表示素子を有する表示装置を駆動する回路であり、前記表示装置は基板上に前記表示素子の少なくとも一部を形成したものであり、前記電流信号発生回路と前記電流信号出力線が前記基板上に形成されている構成を好適に採用できる。

【0020】

また上記各発明において、前記電流信号発生回路は入力信号の値を2乗した値の電流値を有する電流信号を出力する回路を少なくとも含んでおり、前記補正值出力回路は、前記評価によって得られた特定の電流信号発生回路の出力評価値と基準値との比の2乗根を演算することによって得た補正值を出力するものである構成を好適に採用できる。特に、前記補正值出力回路は、前記2乗根を演算する演算回路を有しており、該演算は前記出力評価値と前記基準値との前記比の値に応じて場合分けして行う近似演算である構成を好適に採用できる。

【0021】

また本願は表示装置の発明として、上記各発明の駆動回路と、該駆動回路の前記複数の出力部とそれぞれ接続される複数のデータ線と、該複数のデータ線のそれぞれと接続される複数の表示素子とを有する表示装置の発明を含んでいる。

【0022】

この表示装置としては複数の前記表示素子をマトリクス配置しているものを好適に用いることができる。その場合は、前記複数のデータ線を複数の変調信号線とし、加えて、該複数の変調信号線とともにマトリクス配線を構成する走査線を複数設け、該マトリクス配線でマトリクス配置された複数の前記表示素子を駆動する構成を好適に採用できる。この場合、走査線を順次選択するための走査回路を設けるとよい。

【0023】

尚、駆動回路の電流信号発生回路や電流信号出力線やスイッチなどは表示素子の少なくとも一部を形成する基板上に配置することができ、特にその場合は表示素子が接続されるデータ線と駆動回路の出力部とは特別な接続要素によって接続された形態をとる必要がない。その場合には、データ線の表示素子が接続されている部分と駆動回路を構成する回路との間の任意の位置が上記出力部となる。

【0024】

尚、本発明における表示素子としては、電流信号によって駆動できる種々の素子を用いることができる。例えばEL素子を表示素子として特に好適に用いることができる。EL素子以外にも例えば電子放出素子を表示素子として用いることができる。電子放出素子を表示素子として用いる場合には、放出する電子によって発光する蛍光体等の発光体を組み合わせることで表示を行うことができる。

【0025】

また本願は駆動回路の評価方法の発明として以下の発明を含んでいる。即ち、複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路を備えた駆動回路の評価方法であって、前記複数の電流信号発生回路の出力を共通の電流信号線に接続するステップと、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する

(7)

特開2004-295081 (P2004-295081A)

ステップと、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
評価するステップと、
を有する駆動回路の評価方法、である。

【発明の効果】

【0026】

本発明においては、簡易な構成により評価可能な駆動回路を実現することができる。

【発明を実施するための最良の形態】

【0027】

(実施形態1)

図1は、本発明の好ましい実施形態の駆動回路の補正経路にかかる構成を示すブロック図である。図中、1は駆動制御回路、2は総和電流検出回路、3は列電流測定回路、4は列電流記憶回路、5は基準電流検出回路、6は補正ゲイン決定回路、7は補正係数演算回路、8は補正係数記憶回路、9は映像信号補正回路、20は画素回路である。

【0028】

本実施形態の駆動回路は、列制御回路と画素回路との間に総和電流出力回路(図1中の駆動制御回路に含まれる)を設け、列制御回路より出力された電流信号を、該総和電流出力回路より総和電流として出力し、総和電流検出回路2により検出し、列電流測定回路3において、各データ線毎の電流信号データを測定し、列電流記憶回路4に記憶する。次いで、基準列電流検出回路を介して該列電流記憶回路4より、基準となる電流信号データを選択し、補正係数演算回路7において、基準電流信号データと、列電流記憶回路4に記憶された各データ線の電流信号データとを演算処理して補正係数を得、該補正係数を補正係数記憶回路8に記憶する。新たな映像信号の入力に対応し、映像信号補正回路9において、映像信号に含まれる各画素分のデータに対して、補正係数記憶回路8に記憶されている該当データ線の補正係数を用いて補正を行う。映像信号補正回路9において得られた補正済みの映像信号は再び駆動制御回路1に送られ、データ線を介して画素回路20へ送られる。

【0029】

本実施形態においては、上記駆動制御回路1から総和電流を出力してから補正された映像信号が該駆動制御回路1に入力されるまでの補正経路を設け、該補正経路により列制御回路から出力される電流信号のばらつきを補正することに特徴を有する。

【0030】

図2は、本発明の表示装置の好ましい一実施形態の構成を示す概略図である。尚、図2においては、本実施形態の理解のために必要な部材のみを示している。図2中、13は総和電流出力回路、14は列シフトレジスタ(HSR)、15は行シフトレジスタ(VSR)、16はオペアンプ、17はコンパレータ、18はDAC、19は列制御回路、21はデータ線、22は走査線、23はロジック回路、24はDAC、25は画像表示部、27は総和電流出力端子(Iout)、28は検出抵抗(Rm)、29は比較回路、30は表示パネル、31は外部制御回路であり、図1と同じ部材には同じ符号を付した。

【0031】

本実施形態の表示装置は、表示パネル30と駆動回路とを備え、駆動回路は表示パネル30上に駆動制御回路1と、表示パネル30外に外部制御回路31、及び、外部制御回路31と表示パネル30間に図中の総和電流検出回路2や列電流測定回路3の一部等、必要な回路を備えている。

【0032】

表示パネル30内には、駆動制御回路1と、該駆動制御回路1により駆動される画像表示部25が配置され、本実施形態の画像表示部25はアクティブ素子を備えた画素回路20を行方向にR、G、B表示の3個一組で最小表示単位とし、該表示単位列をN列、M行備えている。従って、画素列数は(N×3)列であり、M×N×3個の画素回路20がマトリクス配置している。各行の画素回路20は共通に走査線22に接続され、各走査線2

(8)

特開2004-295081 (P2004-295081A)

2は走査回路を構成する行シフトレジスタ15に接続されている。また、各列の画素回路20は共通にデータ線21に接続され、各データ線21は総和電流出力回路13を経て列制御回路19に接続されている。本実施形態では、表示素子としてEL素子を用いており、画素回路20はEL素子を含んでいる。

【0033】

図2の表示装置においては、1段目の列シフトレジスタ14に列走査クロックKC、列走査開始信号SPCが入力されると、列走査クロックKCの1周期または半周期毎に遷移して発生するサンプリング信号が各シフトレジスタ14から出力され、対応する列制御回路19に入力される。列制御回路19には、列制御信号SCがロジック回路23を経て入力される。各列制御回路19では、上記サンプリング信号と列制御信号SCにより、所定期間の映像信号Videoがサンプリングされ、対応する電流信号がデータ線21に出力される。

【0034】

また、シフトレジスタ15の1段目に行走査クロックKR、行走査開始信号SPRが入力されると、行走査クロックKRの1周期または半周期毎に遷移して発生する走査信号が走査線22を介して各行の画素回路20に順次入力される。

【0035】

本発明において、列制御回路19は電流信号発生回路を備えており、図3に、該列制御回路19の回路構成例として、構成が簡単なアナログ式の列制御回路を示す。図中、35はサンプリングホールド回路である。36は、電流信号発生回路であり、特に個々では電圧信号を受けてその電圧値に応じた電流値を有する信号（電流信号）を出力する電圧電流変換回路である。また、SPa、SPbはシフトレジスタ14から出力されたサンプリング信号、CC1、CC2、CC3はロジック回路23から出力された列制御信号SC、VBは基準電圧バイアス信号、REFは映像信号Videoと相関性を持って入力される基準信号である。

【0036】

図3のサンプルホールド回路35に入力される映像信号Videoは該当色の画像電圧信号である。列制御回路19から出力されたサンプリング信号SPa、SPbがサンプルホールド回路35に入力される。さらに、列制御信号CC1～CC3もサンプルホールド回路35に入力される。サンプルホールド回路35から出力される電圧信号v(data)、基準電圧バイアス信号VB、列制御信号CC3、基準信号REFがそれぞれ電圧電流変換回路36に入力され、電流信号i(data)が出力される。

【0037】

図3の回路の動作を図4のタイムチャートを用いて説明する。

【0038】

行周期（水平走査期間）である期間T1において、列制御信号CC1が「L」となる（CC2は「H」）とともに、サンプリング信号SPaが出力され（SPbは出力されない）、該当列のSPaの発生期間t1において電圧信号v(data)が、映像信号Videoと基準信号REFとの差電圧d1でサンプルホールド回路35内にサンプルホールドされる。

【0039】

次に期間T2において、列制御信号CC1が「H」となる（CC2は「L」）と、期間T1においてサンプリングホールドされた電圧信号v(data)が電流信号発生回路36に入力され、電流信号i(data)に変換され、i(m)として出力される。また、当該期間T2において、サンプリング信号SPbが出力され、該当列のSPbの発生期間t2において、電圧信号v(data)が、映像信号Videoと基準信号REFとの差電圧d2でサンプルホールドされる。

【0040】

ついで、期間T3において、列制御信号CC1が再び「L」となり（CC2は「H」）、期間T2でサンプルホールドされたv(data)が電流信号発生回路36に入力され

(9)

特開2004-295081(P2004-295081A)

、変換された $i(data)$ が出力される。

【0041】

図5に、列制御回路19の他の回路構成例を示す。図中、M1～M4、M6～M10、M12はn型TFT、M5、M12はp型TFT、C1～C4は容量、SPa、SPbはサンプリング信号、Vccは電源、P1～P6は列制御信号である。以下、トランジスタのソース、ドレイン、ゲートをそれぞれ、/S、/D、/Gと記載する。

【0042】

図5の回路においては、映像信号VideoはM1/S及びM7/Sに入力され、サンプリング信号SPa、SPbはそれぞれM1/G、M7/Gに入力される。M1/Dは容量C1の一端に接続され、容量C1の他端は一端が接地された容量C2の他端とM3/Gに接続され、M3/Sは接地されている。M3/D及びM3/GはM2/D及びM2/Sに接続され、M2/GにはP1が入力される。M3/DはM4/Sと接続され、M4/DはM5/Dに接続され、M5/SはVccに接続され、M5/DとM5/Gは短絡されている。M4/GにはP2が入力される。さらに、M3/DにはM6/Sが接続され、M6/Dは電流信号 $i(data)$ 端子に接続され、M6/GにはP3が入力される。

【0043】

一方、M7/Dは容量C3の一端に接続され、容量C3の他端は一端が接地されたC4の他端とM9/Gに接続され、M9/Sは接地されている。M9/D及びM9/GはM8/D及びM8/Sに接続され、M8/GにはP4が入力される。M9/DはM10/Sと接続され、M10/DはM11/Dに接続され、M11/SはVccに接続され、M11/DとM11/Gは短絡されている。M10/GにはP5が入力される。さらに、M9/DはM12/Sに接続され、M12/Dは電流信号 $i(data)$ 端子に接続され、M12/GにはP6が入力される。また、各トランジスタのゲートサイズ(幅:W、長さ:L)及び容量は、M1=M7、M2=M8、M3=M9、M4=M10、M5=M11、M6=M12、C1=C3、C2=C4の関係にある。

【0044】

図5の回路の動作のタイミングチャートを図6に示す。図中、M3/G、M9/Gはそれぞれ、M3、M9のゲート電圧を示す。図6は、2行分の映像信号にかかる動作を示したものである。

【0045】

時刻 t_1 直前

SPa=L、SPb=L、

P1=L、P2=L、P3=H、P4=L、P5=H、P6=L、

である。従って、各トランジスタは、

M1:オフ、M2:オフ、M4:オフ、M6:オン、

M7:オフ、M8:オフ、M10:オン、M12:オフ

となる。この時、M3とM9はそれぞれのゲートに付随する容量に充電された保持電圧 V_{a1} 、 V_{b1} によって電流駆動され、M3/D電流 I_{a1} が電流信号 $i(data)$ として出力される。M9/D電流はM11/DとM11/Gに供給され、一定値になる。

【0046】

時刻 t_1

SPa=H、P2=H、P3=L、P5=L、P6=Hに変化し、映像信号Videoはブランキング期間におけるブランキング信号VBLとなっている。従って、各トランジスタは、

M1:オン、M2:オフ、M4:オン、M6:オフ、

M7:オフ、M8:オフ、M10:オフ、M12:オン、

となる。この時、M9/G電圧の V_{b1} によって駆動されたM9/D電流 I_{b1} がM3/D電流 I_{a1} に代わって電流信号 $i(data)$ として出力されるようになる。電流信号 $i(data)$ は画像表示部25の列長を通過し、各列の多数の画素回路20に対応するEL素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電流供給

(1 0)

特開2004-295081 (P2004-295081A)

遷移 $I_{a1} \rightarrow I_{b1}$ に時間を要する。時刻 t_2 になる前に $P_1 = H$ になり、 M_2 : オンとなり、この時点から時刻 t_2 までの短時間において、 M_3/G は M_5 によって充電される。

【0047】

時刻 t_2

$P_2 = L$ となり、 M_4 がオフとなるため、 M_3/G の M_5 による充電動作が停止し、 M_3/G は自身のしきい値電圧 V_{th} に漸近するように自己放電動作を行う。

【0048】

時刻 t_3

$SP_a = L$ となり、 M_1 がオフとなる。時刻 t_4 になる前に $P_1 = L$ となり、 $M_2 =$ オフとなって、この時点で M_3 の自己放電動作が終了する。この時点から時刻 t_4 までの期間、 M_2 及び M_4 はともにオフとなり、 M_3/D 電流は急速に L レベルに変化するため、ドレインゲート容量などによって、 M_3/G は図6に示すように多少電圧降下を生じる。

【0049】

時刻 t_4

$P_2 = H$ で、 M_4 : オンとなるため、再び M_3/D 電流は上昇し、 M_3/G は再び上昇してほぼ元の状態 (V_{rsa}) に戻る。この時点で M_3/G は自身のしきい値電圧 V_{th} 近傍であるので、 M_3/D はほとんど0である。

【0050】

～時刻 t_7

時刻 $t_4 \sim t_7$ の期間中、各列に対応するサンプリング信号 SP_a が発生する。 SP_b は発生しない。時刻 $t_5 \sim t_6$ において、該当する画素列のサンプリング信号が発生して自身のしきい値電圧 V_{th} 近傍に保持されている M_3/G 電圧を、この時点でブランキングレベル (V_{BL}) を基準とする映像信号レベル d_1 によって遷移電圧 ΔV_1 変化させる。 ΔV_1 は下式で概略示される。

【0051】

$$\Delta V_1 = d_1 \times C_1 / (C_1 + C_2 + C(M_3))$$

尚、 $C(M_3)$ は M_3/G の入力容量を示す。

【0052】

該当する SP_a が L に変化すると、 M_1 : オフとなり、 M_1 の寄生容量動作によって多少電圧降下した V_{a2} に変化して再び M_3/G 電圧は保持状態となる。

【0053】

時刻 t_7

$SP_b = H$ 、 $P_2 = L$ 、 $P_3 = H$ 、 $P_5 = H$ 、 $P_6 = L$ に変換し、映像信号 V_{ideo} はブランキング期間におけるブランキング信号 V_{BL} となっている。従って、各トランジスタは、

M_1 : オフ、 M_2 : オフ、 M_4 : オフ、 M_6 : オン、

M_7 : オン、 M_8 : オフ、 M_{10} : オン、 M_{12} : オフ、

となる。この時、 M_3/G 電圧の V_{a2} によって駆動された M_3/D 電流 I_{a2} が M_9/D 電流 I_{b1} に代わって電流信号 $i(data)$ として出力されるようになる。映像電流データ $i(data)$ は画像表示部25の列長を通過し、各列の多数の画素回路20に対応する EL 素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電流供給遷移 $I_{b1} \rightarrow I_{a2}$ に時間を要する。時刻 t_8 になる前に $P_4 = H$ になり、 M_8 : オンとなり、この時点から時刻 t_8 までの短時間において、 M_9/G は M_{11} によって充電される。

【0054】

時刻 t_8

$P_5 = L$ となり、 M_{10} がオフとなるため、 M_9/G の M_{11} による充電動作が停止し、 M_9/G は自身のしきい値電圧 V_{th} に漸近するように自己放電動作を行う。

(1 1)

特開2004-295081(P2004-295081A)

【0055】

時刻 t_9

SPb=Lとなり、M7がオフとなる。時刻 t_{10} になる前に $P4=L$ となり、M8＝オフとなって、この時点でM9の自己放電動作が終了する。この時点から時刻 t_{10} までの期間、M8及びM10はともにオフとなり、M9/D電流は急速にLレベルに変化するため、ドレインゲート容量などによって、M9/Gは図6に示すように多少電圧降下を生じる。

【0056】

時刻 t_{10}

$P5=H$ で、M10：オンとなるため、再びM9/D電流は上昇し、M9/Gは再び上昇してほぼ元の状態 (V_{rsb}) に戻る。この時点でM9/Gは自身のしきい値電圧 V_{th} 近傍であるので、M9/Dはほとんど0である。

【0057】

～時刻 t_{13}

時刻 t_{10} ～ t_{13} の期間中、各列に対応するサンプリング信号SPbが発生する。SPaは発生しない。時刻 t_{11} ～ t_{12} において、該当する画素列のサンプリング信号が発生して自身のしきい値電圧 V_{th} 近傍に保持されているM9/G電圧を、この時点でブランキングレベル (V_{BL}) を基準とする映像信号レベル d_2 によって遷移電圧 ΔV_2 変化させる。 ΔV_2 は下式で概略示される。

【0058】

$$\Delta V_2 = d_2 \times C_3 / (C_3 + C_4 + C(M9))$$

尚、 $C(M9)$ はM9/Gの入力容量を示す。

【0059】

該当するSPbがLに変化すると、M7：オフとなり、M7の寄生容量動作によって多少電圧降下した V_{b2} に変化して再びM9/G電圧は保持状態となる。また、時刻 t_{13} 直前に、映像信号Videoはブランキングレベル V_{BL} に戻る。

【0060】

以降、 t_{13} が新たな t_1 として、 t_1 ～ t_{12} の動作を繰り返す。

【0061】

図5の回路においては、容量 C_2 及び C_4 は、M3及びM9のゲート入力容量（チャネル容量）のみで実現しても良く、この場合、容量 C_2 及び C_4 は付設しなくても良い。また、図6において、 P_1 及び P_2 の変化タイミングは、時刻 t_1 、 t_3 として、SPaと等しくしても良い。また、 P_4 及び P_5 の変化タイミングは、時刻 t_8 、 t_{11} としてSPbと等しくしても良い。図5において、 P_2 、M4、M5及び P_5 、M10、M11から構成される、M3/D及びM9/Dのバイアス回路及びM3/G及びM9/Gの充電回路は無くてもかまわない。

【0062】

上記回路及び動作により、映像信号Videoを線順次の電流信号 $i(data)$ に変換することができる。

【0063】

上記で説明した列制御回路19の回路構成例は、アナログ方式であるが、デジタル方式の回路を用いる場合には、映像信号Videoは複数本のデータ信号となり、サンプリングホールド回路は各データ信号を保持するマスタスレーブ型のフリップフロップ群となり、複数の電圧信号 $v(data)$ を出力する。電圧電流変換回路においては、gm特性を決める各電圧信号に相当した重み電流による電流出力型DA変換回路になる。

【0064】

次に、本発明の表示装置の画素回路20について説明する。本発明においては、画素回路20はアクティブ素子を備え、電流設定方式で駆動される。好ましくは、各画素回路20がEL素子を備えている。また、アクティブ素子としては、1以上のTFTが用いられる。

(1 2)

特開2004-295081(P2004-295081A)

【0065】

図7に、当該画素回路20の回路構成例を示す。図中、71はEL素子、M1、M2、M4はp型TFT、M3はn型TFT、C1は容量、RC1、RC2は走査信号、Vccは電源である。

【0066】

図7の画素回路において、該当列のデータ線21はM3/Sに接続され、M3/Gには該当行の走査信号線22の一方が接続され、走査信号RC1が入力される。M3/DはM2/DとM4/Sにも接続され、M4/Gにも該当行の走査信号線22の一方が接続され、走査信号RC1が入力される。M1/Sは電源Vccに接続され、M1/Gは一端が電源Vccに接続された容量C1の他端とM2/Sに接続され、M2/Gは該当行の走査信号22の他方に接続され走査信号RC2が入力される。M4/DはEL素子71の電流注入端子に接続され、EL素子71の他端は接地(GND)されている。

【0067】

図7の画素回路の動作を図8のタイムチャートで説明する。

【0068】

該当列のデータ線21には、該当列の画素回路に入力される電流信号i(data)が行周期毎に更新されて入力されている。

【0069】

時刻t0で該当行の走査信号RC1が「H」になるとともに、走査信号RC2が「L」になり、その時点のi(data)であるi(m)により、M1の電流駆動能力に応じたM1/G電圧が発生し、容量C1が充電されるが、この時、M4はオフであり、EL素子71には電流は注入されない。

【0070】

時刻t1において、総和信号RC2は「H」に変化し、M2はオフとなってM1/G電圧は保持され、時刻t2においてRC1が「L」に変化してM4はオンとなり、M1の保持電流がEL素子71に注入されるとともに、当該画素回路は電流信号i(data)から切り離され、次にM3がオンするまで設定された電流信号i(m)に比例した電流を該当EL素子71に継続して供給する。

【0071】

本発明の表示装置においては、列制御回路19から出力される電流信号のばらつきを補正するために、列制御回路19と画素回路20との間に総和電流出力回路13を配置し、該出力回路から補正経路を形成して補正を行う。

【0072】

図9に、本実施形態の総和電流出力回路13の回路構成例を示す。図中、83は電流信号発生回路36の出力が共通に接続される電流信号出力線、81は電流信号発生回路36の出力と電流信号出力線83との接続関係を制御するスイッチ部、82は電流信号発生回路36と画素側との接続関係を制御するスイッチ部である遮断部、91a~91ncはデータ線、M11~M3N及びM41~M6Nはトランジスタ、Ioutは総和電力、CCx、CCyは総和電力検出制御信号である。

【0073】

本発明にかかる総和電流出力回路13は、複数本のデータ線21から共通に電流信号を出力するスイッチ部81と、画素回路20へ流れる電流を遮断する遮断部82を備えている。本実施形態では、全データ線21から電流信号を出力する形態を示す。

【0074】

スイッチ部81は、各データ線91a~91nc(図1のデータ線21に相当)と出力線83とを接続し、開閉制御が自在なスイッチであるトランジスタ群M11~M3Nから構成され、遮断部82は、スイッチ部81と画素回路20間の各データ線に接続された、開閉制御が自在なスイッチである遮断トランジスタ群M41~M6Nから構成されている。列制御回路19と該当列の画素回路20とを接続するデータ線91a~91ncは、M11/S~M6N/Sと接続され、M11/D~M3N/Dは全て共通に出力線83に接続さ

(13)

特開2004-295081 (P2004-295081A)

れ、該出力線83より総和電流Ioutが出力される。一方、M41/D~M6N/Dはそれぞれ該当列のデータ線91a~91cに接続されている。、M11/G~M3N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCxが入力され、M41/G~M6N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCyが入力される。尚、全てのトランジスタはスイッチ動作をするものであり、適切に制御すれば、p型及びn型の限定や構成は限定されない。

【0075】

図9の総和電流出力回路13の動作を、図10のタイムチャートにより説明する。尚、図1の列制御回路19は図3の回路を用いた場合を例に挙げ、該回路は列制御信号CC3によって全て電流出力状態にあるものとする。

【0076】

総和電流出力回路13より総和電流を出力して映像信号の補正を行うには、通常の動作期間の前に補正期間を設け、該補正期間において総和電流出力回路13のスイッチ部81のM11~M3NをCCxにより全てオンにし、遮断部82のM41~M6NをCCyにより全てオフとする。これにより、列制御回路19から出力された電流信号は画素回路20には流れず、全て出力線83より出力される。

【0077】

補正期間において、列制御回路19の、SPa、SPb、CC1、CC2は通常動作時の図4のタイミングと同じであるが、映像信号Videoについては、1水平走査期間において、所定のデータ線に対して電流信号を出力する電流信号発生回路36からのみ第1の電流信号が出力され、他の全てのデータ線に対して電流信号を出力する電流信号発生回路36からは第2の電流信号が出力されるように設定する。各水平走査期間において、第1の電流信号を出力する電流信号発生回路36が順次変更されるように設定する。より具体的には、例えば、1つの電流信号発生回路36のみが所定のレベルの第1の電流信号を出力し、他の電流信号発生回路36は第1の電流信号よりも低いレベルの第2の電流信号を出力するような映像信号を、各電流信号発生回路36に対して入力する。例えば電流信号発生回路36（列制御回路19）がデジタル信号入力方式の場合であって、第2の電流信号を0にする場合には、第2の電流信号を出力させるべき電流信号発生回路36に入力するデジタルデータをゼロとしておけばよい。このように設定した映像信号においては、画素列数分の水平走査期間によって、全てのデータ線に順次第1の電流信号が入力されることになる。この制御は図2の制御回路200が行う。補正はあらかじめ制御回路において設定された補正期間に行う。外部から制御回路に対して補正期間を指定することで補正を行う構成も採用できる。尚第2の電流信号としては有意の電流値を持つものであってもよいが、ここで第2の電流信号の電流値がほぼ0になるように設定している。これにより後の評価処理が容易になる。

【0078】

図10のタイムチャートにおいて、映像信号Videoは、各水平走査期間T0~T7において、データ線1本に対してのみ高レベルの信号がサンプリングされるような波形に設定されている。よって、全ての列制御回路19が通常と同じ動作で映像信号Videoをサンプリングし、電流信号i(data)を出力するが、該i(data)は総和電流出力回路13より全データ線分の総和電流Ioutとして出力線83より出力され、各行走査期間に出力される総和電流Ioutは、第1の電流信号が印加されたデータ線からの出力電流を主成分とする。

【0079】

尚、行走査期間において第1の電流信号を入力するデータ線は1本に限定されるものではない。最小表示単位分のデータ線としても良く、1水平走査期間において同時に第1の電流信号を入力するデータ線の組み合わせは適宜選択され、適当な複数本を組み合わせることによって、当該補正工程にかかる時間を短縮することができ、また、視覚上注目すべきTF Tばらつきを抽出することもできる。また、各データ線の組み合わせに含まれるデータ線が、異なる走査期間において、重なっていても良く、また、その順序も限定される

(1 4)

特開2004-295081 (P2004-295081A)

ものではない。

【0080】

本実施形態では、総和電流検出回路2、列電流測定回路3、列電流記憶回路4、基準列電流検出回路5、補正ゲイン決定回路6、補正係数演算回路7、補正係数記憶回路8が電流信号出力線83を介して出力される電流値から特定の電流信号発生回路36の出力を評価し、該評価結果に応じた補正値を出力する補正値出力回路を構成している。具体的には、総和電流検出回路2、列電流測定回路3によって電流信号発生回路の出力を評価し、該評価結果に応じた補正値を補正係数演算回路7で演算し、得られた補正値を補正値記憶回路である補正係数記憶回路8で記憶し、該補正係数記憶回路8から補正値を出力する構成としている。

【0081】

電流信号発生回路36の出力を評価するステップは以下のように行う。

【0082】

総和電流出力回路13から出力された総和電流 I_{out} は、図2の出力端子27より出力され、総和電流検出回路2に入力される。総和電流検出回路2においては、出力端子27に検出抵抗28の一端が接続されており、該検出抵抗28の他端は電源 V_{cc} に接続されている。また、出力端子27はオペアンプ16の正極側にも接続されており、オペアンプ16の負極側と出力側は短絡されている。オペアンプ16の出力端子は次段の列電流測定回路3のコンパレータ17の負極側に接続され、該コンパレータ17の正極側にはDAC18の出力が入力される。

【0083】

補正期間内にて検出する総和電流は、総和電流出力回路13に入力されるTEST信号が「H」の期間、例えば図5の列制御回路のM3、M9の V_{gs} に相当する電流が全ての列に相当し、総和電流 ΣI となって電源から検出抵抗28を介して流れるため、出力端子27の電位は $V_{out} = V_{cc} - \Sigma I \times R_m$ となる (R_m は検出抵抗28の抵抗値)。尚、オペアンプ16の入力インピーダンスの影響を無視するものとする。 V_{out} の電位はオペアンプ16の構成により、バッファリングされてそのままコンパレータ17の負極側に入力される。

【0084】

次に、図2では、列電流測定回路3においては、コンパレータ17とDAC18と比較回路29からなる逐次比較型の回路を示しているが、当該回路は一般的で広く用いられているため、簡略的に説明を行う。

【0085】

コンパレータ17の出力は、「H」、「L」の2極のデジタル出力であり、比較回路29により、 V_{out} とDAC18の出力値 V_{dac} とを比較し、判定を行う。例えば、DAC18を最低の電位からビットの分解能ずつ上昇させた場合、図2の構成では、 $V_{out} > V_{dac}$ ではコンパレータ17の出力は「L」であるが、 $V_{out} < V_{dac}$ となり、コンパレータ17の出力が「H」に反転した時、DAC18のデジタルデータを列電流記憶回路4に保存する。図2においては、 V_{out} はコンパレータ17の負極側に入力されているが、DAC18側と極性を変えても良い。但し、コンパレータ17の出力も反転する。比較回路29が出力する値が電流信号発生回路の出力を評価した値であり、この評価値は電流信号発生回路が出力する電流値と1対1に対応する値となっている。

【0086】

基準列電流検出回路5において、列電流記憶回路4に保存された各データ線の電流信号データより、基準となる電流信号データを選択し、記憶する。基準となる電流信号データの選択基準は特に限定はない。

【0087】

基準列電流検出回路5に記憶した基準電流信号データと、列電流記憶回路4に保存された各データ線の電流信号データとを用い、補正係数演算回路7において演算処理を行って、各データ線に対応する補正係数を算出する。具体的には、当該補正係数演算回路7にゲ

(15)

特開2004-295081(P2004-295081A)

イン演算回路を持たせ、基準電流を補正すべきデータ線の電流信号データにより除算し、除算結果を二乗根演算し、二乗根演算結果に係数kを乗算し、得られたゲイン演算結果を補正係数とする。以下の式(1)により算出される。

【0088】

【数1】

$$H_{sample} = 1 - \left(1 - \sqrt{\frac{I_{ref}}{I_{sample}}} \right) \times k \quad (1)$$

【0089】

H_{sample} : 各データ線の補正係数

I_{sample} : 各データ線の電流信号データ

I_{ref} : 基準電流信号データ

k : 係数

【0090】

上記式(1)において、ルート演算をロジック演算にて行う際、最も誤差が出ないように演算するために、除算値 $x = I_{ref} / I_{sample}$ に応じて、係数を場合分けした2項定理による近似演算によって行う。演算式を下記(2)式に示す。

【0091】

【数2】

$$\sqrt{x} = \{a - (a - x)\}^{\frac{1}{2}} = \sqrt{a} \left(1 - \frac{a - x}{a}\right)^{\frac{1}{2}} \approx \sqrt{a} \left(1 - \frac{a - x}{2 \times a}\right) \quad (2)$$

【0092】

上記式(2)における、a、 $a^{1/2}$ が場合分け係数であり、予めいくつかのパターンを用意しておく。上記式(2)中の、 $(a - x) / a$ の値がゼロに近いほど演算結果の誤差が少ない。

【0093】

図11に、本実施形態の補正係数演算回路7の構成を示す。図中、10は除算回路、11は場合分け係数決定回路、12は四則演算回路である。図11の除算回路10に入力される I_{sample} 、 I_{ref} により、 $x = I_{ref} / I_{sample}$ を計算し、xの値を場合分け係数決定回路11に入力する。場合分け係数決定回路11では、xの値に応じて、場合分け係数a、 $a^{1/2}$ が決定され、四則演算回路12にて、上記式(2)の最右辺の演算が行われる。乗算、除算のロジックは一般的なシフター及びアダーで構成可能なため、ここでは動作説明を省略する。

【0094】

上記式(2)の演算において、実際の演算結果を図12に示す。図12は、ルートを計算機で計算した結果と、2項定理を用いた結果の割合を示したものである。1に近いほど誤差が少ない。演算を行う値を0.5～1.5まで設定し、係数a、 $a^{1/2}$ の8つの組み合わせを用意した。以下に該組み合わせを示す。図12に〔1〕から〔8〕で示している曲線がそれぞれ以下の表に示すaの値を用いて近似計算を行った場合の、正確な演算結果(精度の高い計算機を用いて行った演算結果)と上記近似演算を行った結果の比(縦軸)と上記xの値(横軸)の関係を示す。

【0095】

(1 6)

特開2004-295081 (P2004-295081A)

【表1】

x	a	\sqrt{a}
$x < 0.69$	0.6250	0.790569
$0.69 \leq x < 0.82$	0.7500	0.866025
$0.82 \leq x < 0.91$	0.8750	0.935414
$0.91 \leq x < 0.97$	0.9375	0.968246
$0.97 \leq x < 1.07$	1.0000	1.000000
$1.07 \leq x < 1.19$	1.1250	1.06066
$1.19 \leq x < 1.32$	1.2500	1.118034
$1.32 \leq x$	1.3750	1.172604

【0096】

各aの値の曲線グラフで、xの値においてより1に近い係数を逐次選択することにより、計算機による結果とほとんど差異のない演算結果を得ることができる。

【0097】

これにより、式(2)で得られた演算結果を元に、式(1)のルートに代入して係数kを乗じて演算した結果が、補正係数Hsampleであり、当該補正係数が補正係数記憶回路8に記憶される。

【0098】

映像信号補正回路9においては、サンプリングする列の映像信号Videoに合わせて、補正係数記憶回路9より記憶された該当列の補正係数を読み出し、乗算して補正する。乗算結果は列制御回路19のデジタル・アナログ方式に合わせて出力する。即ち、デジタル方式であれば駆動制御回路1にデジタル信号で出力し、アナログ信号であればDACにてアナログ電圧変換して、同様に駆動制御回路1に出力する。

【0099】

補正ゲインは式(1)における係数kの値によって決定される。即ち、 $k=1$ とした場合、除算及びルート演算によって得られた値がそのまま補正係数となる。

【0100】

$k < 1$ の場合、補正係数のゲインが1より小さくなるので、補正を弱くすることになる。よって、1回の補正では電流信号むらを完全に抑制することができない。そこで、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

【0101】

$k > 1$ の場合、 $k < 1$ の場合とは逆に補正を強くすることになる。よって、1回の補正で電流信号むらが逆転する可能性がある。そこで、この場合も、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

【0102】

尚、ゲインを強くしすぎると、逆に収束しない可能性があるので、 $1 < k < 2$ の範囲で選択する。

【0103】

ゲインは、デバイスの条件、製品搭載時の運用において選択し、補正を行っても良い。例えば、製品起動時において、表示パネル点灯前にゲイン1で補正を行い、後にゲイン1未満、もしくは $1 < k < 2$ の設定で複数回補正を行うことも可能である。当該ゲインの選択は、補正ゲイン決定回路6にて行う。

【0104】

尚補正値を決定するための補正期間は例えば製品起動時に設定しておくことができる。また定期的に行うようにも設定できる。補正値を記憶する回路である補正係数記憶回路8として記憶保持動作に電力供給が必要なメモリを用いている場合には、電力オフによって

(1 7)

特開2004-295081 (P2004-295081A)

記憶が失われるため、電力オフから電力オンのたびに補正值決定を行えばよい。または電力オフによっても記憶を失わないメモリ（例えばE2PROM）を採用することで、電力オフから電力オンのたびに補正值決定を行わなくてもよい構成を実現することができる。

【0105】

（実施形態2）

上記実施形態では、あらかじめ設定された補正期間に上記補正值を求め、該補正值を更新する構成を述べた。本実施形態は一度だけ補正值決定プロセスを行い、それによって決定された補正值を更新せずに使用する形態である。具体的には、製品出荷前に上記実施形態で述べた補正值決定プロセスを行いそれによって得られた補正值を補正值出力回路に記憶させる。この実施形態では補正值を更新する必要がないので書き換え可能なメモリを用いる必要がなくなる。この実施形態においては、前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路200は、駆動回路や表示装置として持つ必要はない。

【0106】

（実施形態3）

本実施形態では、以上の実施形態で述べた各電流信号発生回路の出力を評価するステップを、駆動回路や表示装置の製造プロセスの途中や製造プロセスが完了した後で行い、不良品判定を行う。具体的には各電流信号発生回路の出力のばらつきが大きい場合には以降の製造プロセスや出荷を取りやめる。

【0107】

尚、上記各実施形態においては、EL素子を用いたEL表示装置を例に挙げて説明したが、本発明の表示装置はこれに限定されるものではなく、電流信号によって、各画素の表示を制御する装置であれば、好ましく適用される。

【図面の簡単な説明】

【0108】

【図1】本発明の駆動回路の補正経路にかかる構成を示すブロック図である。

【図2】本発明の表示装置の好ましい一実施形態の構成を示す概略図である。

【図3】列制御回路の回路構成例を示す図である。

【図4】図3の列制御回路のタイムチャートである。

【図5】列制御回路の他の回路構成例を示す図である。

【図6】図3の列制御回路のタイムチャートである。

【図7】画素の回路構成例を示す図である。

【図8】図8の画素回路のタイムチャートである。

【図9】総和電力出力回路の回路構成例を示す図である。

【図10】図9の総和電力出力回路のタイムチャートである。

【図11】補正係数演算回路の構成例を示す図である。

【図12】補正係数演算回路における演算結果を示す図である。

【図13】従来のEL表示装置の画素回路を示す図である。

【図14】従来のEL表示装置の表示パネルの構成を示す図である。

【符号の説明】

【0109】

- 1 駆動制御回路
- 2 総和電流検出回路
- 3 列電流測定回路
- 4 列電流記憶回路
- 5 基準列電流検出回路
- 6 補正ゲイン決定回路
- 7 補正係数演算回路
- 8 補正係数記憶回路

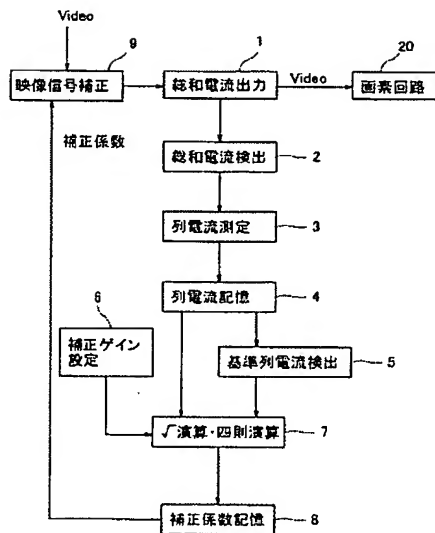
(1 8)

特開2004-295081 (P2004-295081A)

9 映像信号補正回路
10 除算回路
11 場合分け係数決定回路
12 四則演算回路
13 総和電流出力回路
14 列シフトレジスタ
15 行シフトレジスタ
16 オペアンプ
17 コンパレータ
18 DAC
19 列制御回路
20 画素回路
21 データ線
22 走査線
23 ロジック回路
24 DAC
25 画像表示部
27 総和電流出力端子
28 検出抵抗
29 比較回路
30 表示パネル
31 外部制御回路
35 サンプルホールド回路
36 電流信号発生回路
71 EL素子
81 スイッチ部
82 遮断部
83 出力線
91a~91c データ線
101 サンプルホールド回路
102 誤差増幅回路
103 EL素子
104 電流制御回路
105 電流検出回路
106 データドライバ
107 演算素子
108 記憶手段
109 電源
110 電流測定素子
111 走査ドライバ
200 制御回路
C1~C4 容量
CC1, CC2, CC3 列制御信号
CCx, CCy 総和電流検出制御信号
i(data) 電流信号
gm 電圧電流変換回路
Iout 総和電流
KC 列走査クロック
KR 行走査クロック
M1~M12, M11~M6N TFT

特開2004-295081 (P2004-295081A)

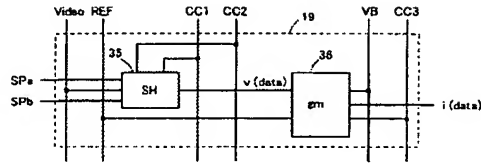
【図1】



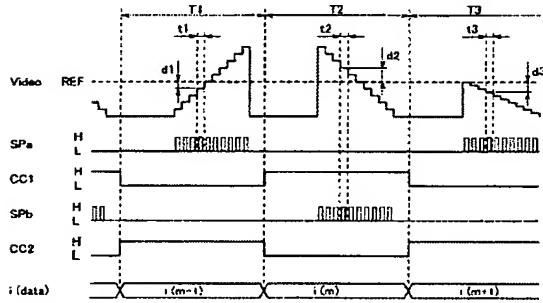
(20)

特開2004-295081(P2004-295081A)

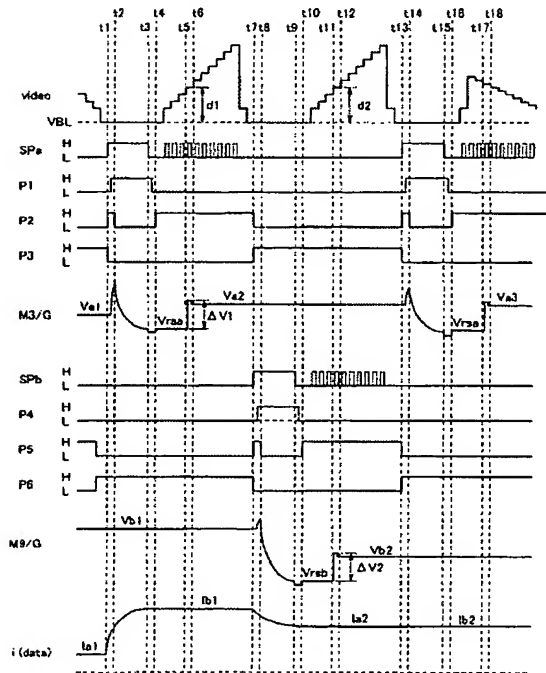
【図3】



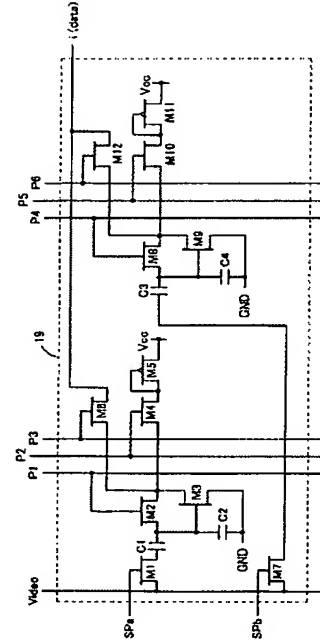
【図4】



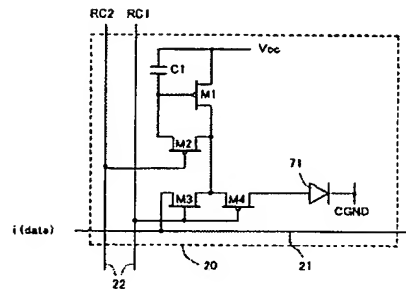
【図6】



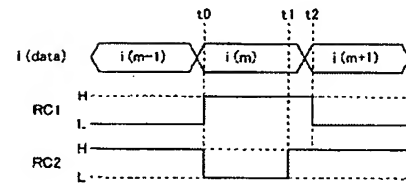
【図5】



【図7】



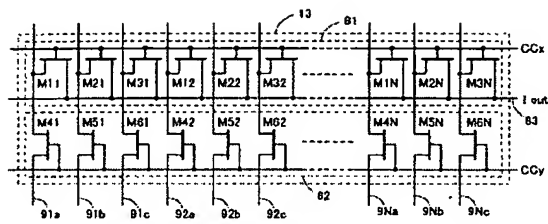
【図8】



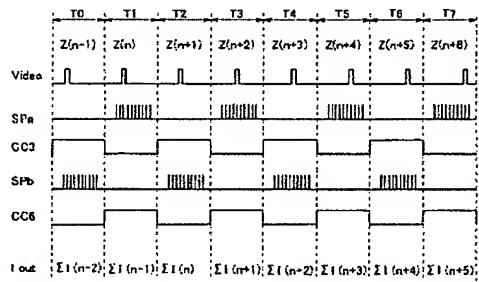
(2 1)

特開2004-295081(P2004-295081A)

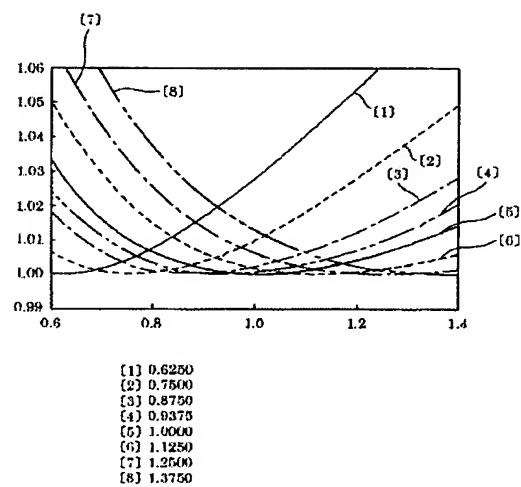
【図9】



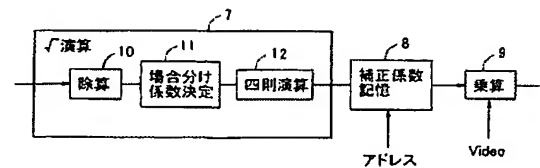
【図10】



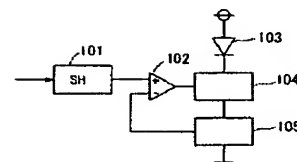
【図12】



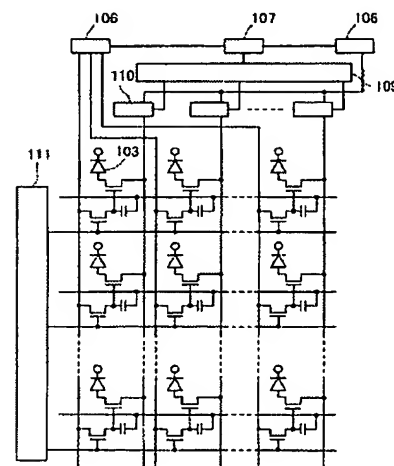
【図11】



【図13】



【図14】



(2 2)

特開2004-295081(P2004-295081A)

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 7 0 Q
H 0 5 B	33/14	A

(72)発明者 井関 正己

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD15 EE28 FF11 JJ02 JJ03 JJ04 JJ05